

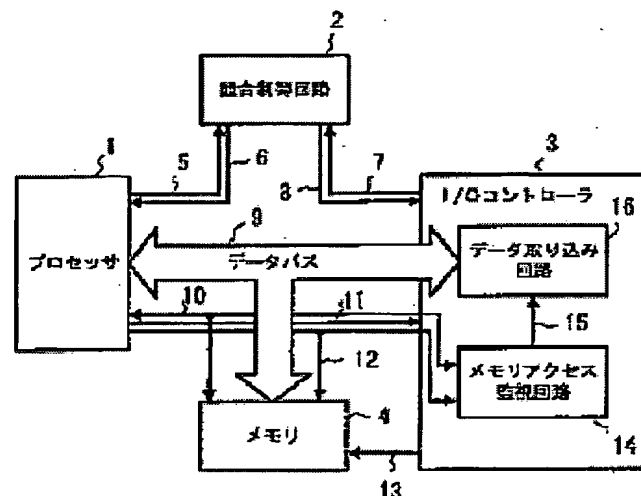
I/O CONTROLLER WITH MEMORY MONITORING FUNCTION

Publication number: JP11096103
Publication date: 1999-04-09
Inventor: TAKEUCHI KOJI
Applicant: NIPPON ELECTRIC ENG
Classification:
- international: **G06F13/10; G06F13/10; (IPC1-7): G06F13/10**
- European:
Application number: JP19970270610 19970917
Priority number(s): JP19970270610 19970917

Report a data error here

Abstract of JP11096103

PROBLEM TO BE SOLVED: To provide an I/O controller with a memory monitoring function which can reduce the number of memory accesses, shorten the memory access waiting time of a processor and prevent the reduction of system performance. **SOLUTION:** The I/O controller 3 built in a computer system is provided with a memory access monitor circuit 14 and a data entry circuit 16. When the circuit 14 detects writing operation in a memory 4 by a processor 1, a request for entering data to be written is outputted from the circuit 14 to the circuit 16.



Data supplied from the esp@cenet database - Worldwide

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The I/O controller with a memory monitoring function characterized by performing the incorporation demand of the above-mentioned data by which write-in actuation is carried out from said memory access supervisory circuit in said data incorporation circuit when a memory access supervisory circuit and a data incorporation circuit are prepared in the body of an I/O controller and said memory access supervisory circuit detects the write-in actuation to the memory by the processor in the I/O controller built in a computer system.

[Claim 2] Said data incorporation circuit which received the data incorporation demand is an I/O controller with a memory monitoring function according to claim 1 characterized by incorporating the data concerned during memory light actuation of said processor.

[Claim 3] In the I/O controller built in a computer system, it sets at the time of the memory light of a processor. If the memory light signal outputted from said processor is supervised and sending out of a memory light signal is detected The data incorporation demand from the memory access supervisory circuit from which an incorporation demand signal is taken out, and this memory access supervisory circuit is received. The data incorporation circuit which incorporates the data outputted from this processor at the time of memory light actuation of said processor during the memory light actuation concerned, The I/O controller with a memory monitoring function characterized by using a preparation and the data incorporated in said data incorporation circuit as control information.

[Claim 4] The I/O controller with a memory monitoring function characterized by performing the incorporation demand of said command from said memory access supervisory circuit in said data incorporation circuit when a memory access supervisory circuit and a data incorporation circuit are prepared in the body of an I/O controller and said memory access supervisory circuit detects the command to the body of an I/O controller in the I/O controller built in a computer system.

[Claim 5] Said data incorporation circuit which received the command incorporation demand is an I/O controller with a memory monitoring function according to claim 4 characterized by incorporating the command concerned during memory light actuation of a processor.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the I/O controller with a memory monitoring function built in computer systems, such as a personal computer, an office computer, and a server.

[0002]

[Description of the Prior Art] Drawing 3 is drawing showing the I/O controller and the configuration of a circumference circuit of inside with [which is built in a computer system / conventional] a memory monitoring function.

[0003] A processor 1 requires the access privilege to I/O controller 3 or memory 4 from the contention control circuit 2 through the local bus access privilege demand signal 5. The contention control circuit 2 performs contention control according to the priority of arbitration, and notifies the access permission to I/O controller 3 or memory 4, and un-granting a permission through the local bus access-permission signal 6.

[0004] If a processor 1 receives the notice of the access permission to I/O controller 3 or memory 4 through the local bus access-permission signal 6, in I/O access, data will be written in I/O controller 3 through a data bus 9, an address bus 10, and the I/O light signal 11. Moreover, in the case of memory access, data are written in memory 4 through a data bus 9, an address bus 10, and the memory light signal 12.

[0005] I/O controller 3 requires the access privilege to memory 4 of the contention control circuit 2 through the memory access privilege demand signal 7. The contention control circuit 2 performs contention control according to the priority of arbitration, and notifies the access permission to memory 4, and un-granting a permission through the memory access-permission signal 8.

[0006] If I/O controller 3 receives the notice of an access permission in memory 4 through the memory access-permission signal 8, the data of memory 4 will be read through a data bus 9, an address bus 10, and the memory lead signal 13. I/O controller 3 operates according to the read data.

[0007] Next, actuation of the conventional equipment of drawing 3 is explained with reference to the timing chart of drawing 4 timely. in the period of "timing 1", through the local bus access privilege demand signal 5 from a processor 1, a demand ('L' -- active) is told in the contention control circuit 2, and the contention control circuit 2 notifies authorization (authorization is shown when it becomes 'L' active: 'L'), and un-granting a permission ('H' condition) to a processor 1 through the local bus access-permission signal 6 according to the priority of arbitration. If authorization is obtained from the local bus access-permission signal 6, a processor 1 will write in the command of I/O controller 3 on memory 4 using an address bus 10, a data bus 9, and the memory light signal 12.

[0008] in the period of "timing 2", a demand ('L' -- active) is told to the contention control circuit 2 through the local bus access privilege demand signal 5 from a processor 1. The contention control circuit 2 notifies authorization (authorization is shown when it becomes 'L' active: 'L'), and un-granting a permission ('H' condition) to a processor 1 through the local bus access-permission signal 6 according to the priority of arbitration. A processor 1 obtains authorization from the local bus access-permission signal 6, and writes in an invocation command to I/O controller 3 using an address bus 10, a data bus 9, and I/O light signal 11 grade.

[0009] in the period of "timing 3", a demand ('L' -- active) is told in the contention control circuit 2 through the right demand signal 7 of memory access from I/O controller 3. The contention control

circuit 2 notifies authorization (authorization is shown when it becomes 'L' active: 'L'), and un-granting a permission ('H' condition) to I/O controller 3 through the memory access-permission signal 8 according to the priority of arbitration.

[0010] I/O controller 3 which obtained authorization with the memory access-permission signal 8 reads an address bus 10, a data bus 9, and the command currently written in memory 4 using the memory lead signal 13. During the memory lead of I/O controller 3, a processor 1 outputs a bus access demand and is in the waiting state.

[0011]

[Problem(s) to be Solved by the Invention] There were the following problems in the above-mentioned Prior art. The command to I/O controller 3 was written in on memory, in order that I/O controller 3 might perform memory access in the computer system which reads the command into I/O controller 3, and operates, the memory access latency time of a processor 1 was made, and there was a problem on which the engine performance of a computer system is reduced.

[0012] Moreover, while having read the command which has I/O controller 3 on memory 4, the processor 1 also had the problem that a bus could not be used.

[0013] There are few purposes of this invention, and the count of information read-out to memory can decrease the memory access latency time of a processor, and is to offer the I/O controller with a memory monitoring function which can prevent the degradation of a system.

[0014]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the I/O controller with a memory monitoring function by this invention is equipped with the following characteristic configurations.

(1) In the I/O controller built in a computer system, when a memory access supervisory circuit and a data incorporation circuit were prepared in the body of an I/O controller and said memory access supervisory circuit detected the write-in actuation to the memory by the processor, the incorporation demand of the above-mentioned data by which write-in actuation is carried out was made to be performed in said data incorporation circuit from said memory access supervisory circuit.

[0015] (2) The data incorporation circuit which is the controller of a publication and received the data incorporation demand in the above (1) incorporated the data concerned during memory light actuation of a processor.

[0016] (3) In the I/O controller built in a computer system If the memory light signal outputted from said processor at the time of the memory light of a processor is supervised and sending out of a memory light signal is detected The data incorporation demand from the memory access supervisory circuit from which an incorporation demand signal is taken out, and this memory access supervisory circuit is received. It has the data incorporation circuit which incorporates the data outputted from this processor at the time of memory light actuation of said processor during the memory light actuation concerned, and the data incorporated in the above-mentioned data incorporation circuit were used as control information.

[0017] (4) In the I/O controller built in a computer system, when a memory access supervisory circuit and a data incorporation circuit were prepared in the body of an I/O controller and said memory access supervisory circuit detected the command to the body of an I/O controller, the incorporation demand of said command was made to be performed in said data incorporation circuit from said memory access supervisory circuit.

[0018] (5) The data incorporation circuit which is the controller of a publication and received the command incorporation demand in the above (1) incorporated the command concerned during memory light actuation of a processor.

[0019]

[Embodiment of the Invention] Drawing 1 is the block diagram showing the configuration of the I/O controller with a memory monitoring function concerning the 1st operation gestalt of this invention with the circumference circuit. As shown in drawing 1, I/O controller 3 in this operation gestalt is equipped with the data incorporation circuit 16 and the memory access supervisory circuit 14 in the body of an I/O controller.

[0020] A processor 1 requires the access privilege to I/O controller 3 or memory 4 of the contention control circuit 2 through the local bus access privilege demand signal 5. The contention control

circuit 2 performs contention control according to the priority of arbitration, and notifies the access permission to I/O controller 3 or memory 4, and un-granting a permission through the local bus access-permission signal 6.

[0021] If a processor 1 receives the notice of the access permission to I/O controller 3 or memory 4 through the local bus access-permission signal 6, in I/O access, data will be written in I/O controller 3 through a data bus 9, an address bus 10, and the I/O light signal 11. Moreover, in the case of memory access, data are written in memory 4 through a data bus 9, an address bus 10, and the memory light signal 12.

[0022] The memory access supervisory circuit 14 inside I/O controller 3 is supervising the address bus 10 and the memory light signal 12 at the time of the memory light of a processor 1. And if it is judged as that to which memory light actuation to the room of the field where the command of I/O controller 3 is written in is performed, a data incorporation demand will be given to the data incorporation circuit 16 through the incorporation demand signal 15. The data incorporation circuit 16 which received the data incorporation demand incorporates the data during memory light actuation of a processor 1.

[0023] I/O controller 3 requires the access privilege to memory 4 of the contention control circuit 2 through the memory access privilege demand signal 7. The contention control circuit 2 performs contention control according to the priority of arbitration, and notifies the access permission to memory 4, and un-granting a permission through the memory access-permission signal 8.

[0024] If I/O controller 3 receives the notice of the access permission to memory 4 through the memory access-permission signal 8, the data of memory 4 will be read through a data bus 9, an address bus 10, and the memory lead signal 13.

[0025] If I/O controller 3 receives an invocation command from a processor 1, I/O controller 3 will operate according to the data (data stored in the data incorporation circuit 16) which read the point.

[0026] Next, actuation of this equipment shown in drawing 1 with reference to the timing chart of drawing 2 timely is explained. in the period of "timing 1", through the local bus access privilege demand signal 5 from a processor 1, a demand ('L' -- active) is told in the contention control circuit 2, and the contention control circuit 2 notifies authorization (authorization is shown when it becomes 'L' active: 'L'), and un-granting a permission ('H' condition) to a processor 1 through the local bus access-permission signal 6 according to the priority of arbitration. Obtaining authorization from the local bus access-permission signal 6, a processor 1 writes in the command for I/O-controller 3 on memory 4 using an address bus 10, a data bus 9, and the memory light signal 12.

[0027] If the memory access supervisory circuit 14 judges that it is a command to I/O-controller 3 body, it will incorporate to the data incorporation circuit 16 through the incorporation demand signal 15, and a demand ('L' active signal) will be performed. The data incorporation circuit 16 incorporates data to the same timing as the writing to the memory 4 of a processor 1.

[0028] in the period of "timing 2", a demand ('L' -- active) is told in the contention control circuit 2 through the local bus access privilege demand signal 5 from a processor 1. The contention control circuit 2 notifies authorization (authorization is shown when it becomes 'L' active: 'L'), and un-granting a permission ('H' condition) to a processor 1 through the local bus access-permission signal 6 according to the priority of arbitration. Obtaining authorization from the local bus access-permission signal 6, a processor 1 writes in an invocation command to I/O controller 3 using an address bus 10, a data bus 9, and the I/O light signal 11.

[0029] In the period of "timing 3", I/O controller 3 does not perform memory access, but reads the command read in the period of "timing 1" from the data incorporation circuit 16, and operates according to the command.

[0030] Like [at the time of the "timing 3" of drawing 4] in I/O controller 3, there is no need for memory access, and a processor 1 obtains authorization of bus access and is performing memory access.

[0031]

[Effect of the Invention] As explained above, according to this invention, there are few counts of memory access of an I/O controller, and they end, the memory access latency time of a processor is shortened, and the I/O controller with a memory monitoring function which can aim at improvement in the processing engine performance of a computer system can be offered.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the I/O controller with a memory monitoring function concerning the 1st operation gestalt of this invention, and the circuitry of the circumference of it.

[Drawing 2] It is drawing showing the timing of the I/O controller with a memory monitoring function concerning the 1st operation gestalt of this invention of operation.

[Drawing 3] It is drawing showing the I/O controller concerning the conventional example, and the circuitry of the circumference of it.

[Drawing 4] It is drawing showing the timing of the I/O controller concerning the conventional example of operation.

[Description of Notations]

- 1 Processor
- 2 Contention Control Circuit
- 3 I/O Controller
- 4 Memory
- 5 Right Demand Signal of Local Bus Access (LBA)
- 6 Local Bus Access (LBA) Enabling Signal
- 7 Right Demand Signal of (Memory Access MA)
- 8 Memory Access (MA) Enabling Signal
- 9 Data Bus
- 10 Address Bus
- 11 I/O Light Signal
- 12 Memory Light Signal
- 13 Memory Lead Signal
- 14 Memory Access Supervisory Circuit
- 15 Incorporation Demand Signal
- 16 Data Incorporation Circuit

[Translation done.]

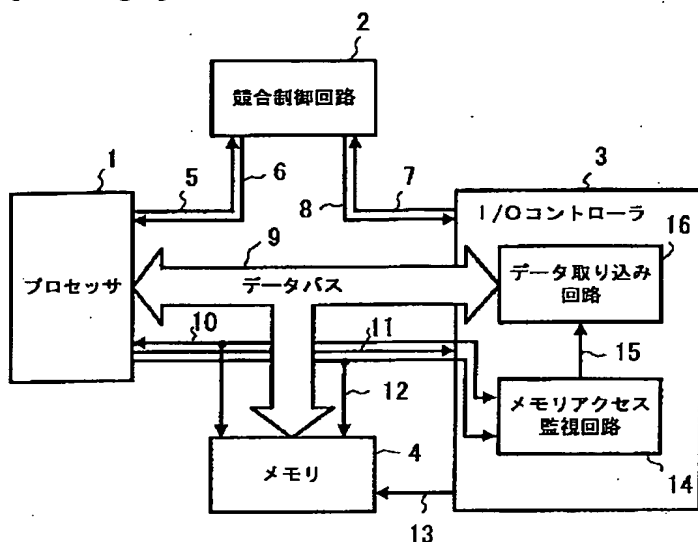
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

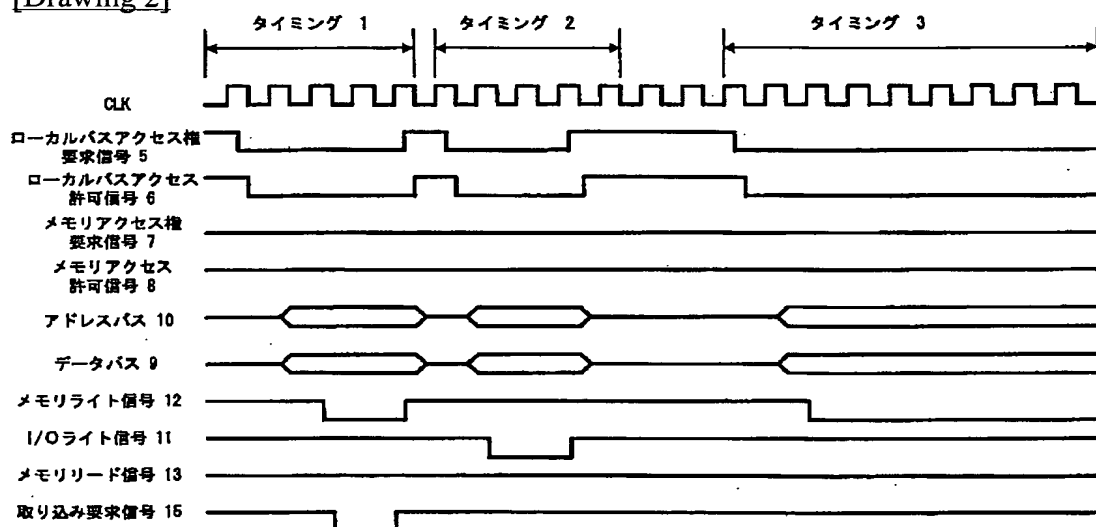
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

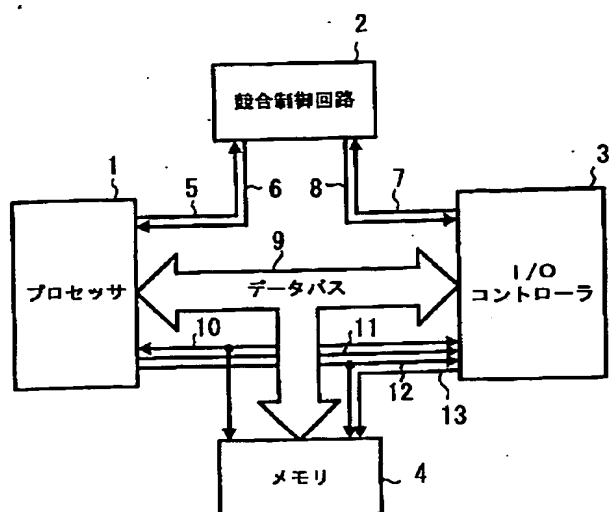
[Drawing 1]



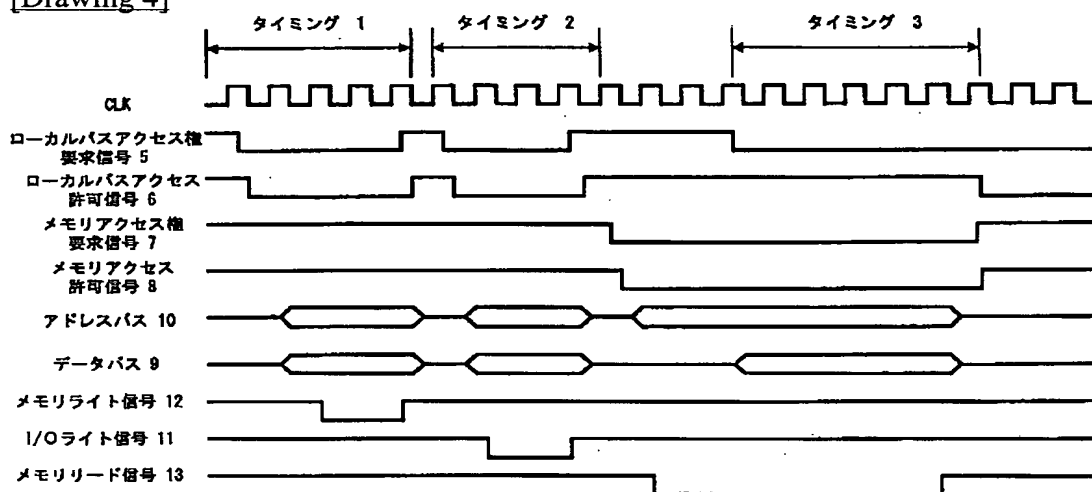
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-96103

(43) 公開日 平成11年(1999) 4月9日

(51) Int. Cl. ⁶

G06F 13/10

識別記号

310

F I

G06F 13/10

310

B

審査請求 未請求 請求項の数 5 F D (全6頁)

(21) 出願番号 特願平9-270610

(22) 出願日 平成9年(1997) 9月17日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 竹内 功治

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

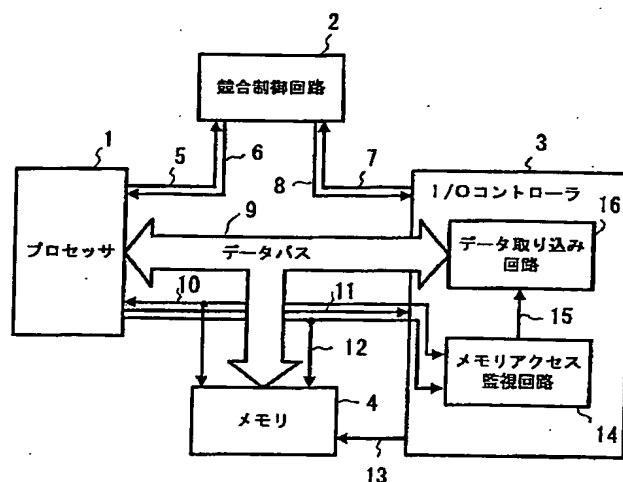
(74) 代理人 弁理士 福山 正博

(54) 【発明の名称】 メモリ監視機能付 I/Oコントローラ

(57) 【要約】

【課題】 メモリアクセス回数が少なくプロセッサのメモリアクセス待ち時間が短くシステム性能低下を防止できるメモリ監視機能付 I/Oコントローラを提供する。

【解決手段】 コンピュータシステムに内蔵される I/Oコントローラにおいて、I/Oコントローラ3本体に、メモリアクセス監視回路14とデータ取り込み回路16とを設け、前記メモリアクセス監視回路14が、プロセッサ1によるメモリ4への書き込み動作を検知したとき、前記メモリアクセス監視回路14から前記データ取り込み回路16へ、上記書き込み動作されるデータの取り込み要求が行なわれるようにした。



【特許請求の範囲】

【請求項1】コンピュータシステムに内蔵されるI/Oコントローラにおいて、

I/Oコントローラ本体に、メモリアクセス監視回路とデータ取り込み回路とを設け、前記メモリアクセス監視回路が、プロセッサによるメモリへの書き込み動作を検知したとき、前記メモリアクセス監視回路から前記データ取り込み回路へ、上記書き込み動作されるデータの取り込み要求が行なわれるようにしたことを特徴とするメモリ監視機能付I/Oコントローラ。

【請求項2】データ取り込み要求を受けた前記データ取り込み回路は、前記プロセッサのメモリライト動作中に当該データを取り込むようにしたことを特徴とする請求項1に記載のメモリ監視機能付I/Oコントローラ。

【請求項3】コンピュータシステムに内蔵されるI/Oコントローラにおいて、プロセッサのメモリライト時において、前記プロセッサから出力されるメモリライト信号を監視し、メモリライト信号の送出が検出されると、取り込み要求信号を出すメモリアクセス監視回路と、

このメモリアクセス監視回路からのデータ取り込み要求を受けて、前記プロセッサのメモリライト動作時に同プロセッサから出力されるデータを、当該メモリライト動作中において取り込むデータ取り込み回路と、を備え、前記データ取り込み回路内に取り込まれたデータを制御情報として用いるようにしたことを特徴とするメモリ監視機能付I/Oコントローラ。

【請求項4】コンピュータシステムに内蔵されるI/Oコントローラにおいて、

I/Oコントローラ本体に、メモリアクセス監視回路とデータ取り込み回路とを設け、前記メモリアクセス監視回路が、I/Oコントローラ本体へのコマンドを検知したとき、前記メモリアクセス監視回路から前記データ取り込み回路へ前記コマンドの取り込み要求が行なわれるようにしたことを特徴とするメモリ監視機能付I/Oコントローラ。

【請求項5】コマンド取り込み要求を受けた前記データ取り込み回路は、プロセッサのメモリライト動作中に当該コマンドを取り込むようにしたことを特徴とする請求項4に記載のメモリ監視機能付I/Oコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パソコン、オフコン、サーバ等のコンピュータシステムに内蔵されるメモリ監視機能付I/Oコントローラに関する。

【0002】

【従来の技術】図3はコンピュータシステムに内蔵される従来のメモリ監視機能付内のI/Oコントローラとその周辺回路の構成を示す図である。

【0003】プロセッサ1は、ローカルバス・アクセス

権要求信号5を通じて、競合制御回路2に対し、I/Oコントローラ3またはメモリ4へのアクセス権の要求を行なう。競合制御回路2は、任意の優先順位に従って競合制御を行ない、ローカルバス・アクセス許可信号6を通じて、I/Oコントローラ3またはメモリ4へのアクセス許可、非許可を通知する。

【0004】プロセッサ1が、ローカルバス・アクセス許可信号6を通じて、I/Oコントローラ3またはメモリ4へのアクセス許可の通知を受けると、I/Oアクセスの場合は、データ・バス9、アドレス・バス10とI/Oライト信号11を通じてI/Oコントローラ3にデータを書き込む。またメモリアクセスの場合は、データ・バス9、アドレス・バス10とメモリライト信号12を通じて、メモリ4にデータを書き込む。

【0005】I/Oコントローラ3は、メモリ・アクセス権要求信号7を通じて、競合制御回路2にメモリ4へのアクセス権の要求を行なう。競合制御回路2は、任意の優先順位に従って競合制御を行ない、メモリ・アクセス許可信号8を通じて、メモリ4へのアクセス許可、非許可を通知する。

【0006】I/Oコントローラ3が、メモリ・アクセス許可信号8を通じて、メモリ4へのアクセス許可通知を受けると、データ・バス9、アドレス・バス10、メモリリード信号13を通じて、メモリ4のデータを読み取る。読み取ったデータに従ってI/Oコントローラ3は動作する。

【0007】次に図4のタイミングチャートを適時参照して図3の従来装置の動作を説明する。「タイミング1」の期間では、プロセッサ1からのローカルバス・アクセス権要求信号5を通じて要求（‘L’アクティブ）が競合制御回路2へ伝えられ、競合制御回路2は任意の優先順位に従い許可（‘L’アクティブ：‘L’になった時点で許可を示す）、非許可（‘H’状態）をローカルバス・アクセス許可信号6を通じてプロセッサ1に通知する。ローカルバス・アクセス許可信号6より許可を受けると、プロセッサ1は、アドレスバス10、データバス9、メモリライト信号12を用いてメモリ4上に、I/Oコントローラ3のコマンドを書き込む。

【0008】「タイミング2」の期間では、プロセッサ1からのローカルバス・アクセス権要求信号5を通じて要求（‘L’アクティブ）が競合制御回路2に伝えられる。競合制御回路2は任意の優先順位に従い許可（‘L’アクティブ：‘L’になった時点で許可を示す）、非許可（‘H’状態）をローカルバス・アクセス許可信号6を通じてプロセッサ1に通知する。プロセッサ1は、ローカルバス・アクセス許可信号6より許可を受け、アドレスバス10、データバス9、I/Oライト信号11等を用いてI/Oコントローラ3に対して起動コマンドを書き込む。

【0009】「タイミング3」の期間では、I/Oコン

トローラ 3 からのメモリアクセス権要求信号 7 を通じて要求（‘L’ アクティブ）が競合制御回路 2 へ伝えられる。競合制御回路 2 は任意の優先順位に従い、許可

（‘L’ アクティブ：‘L’ になった時点で許可を示す）、非許可（‘H’ 状態）をメモリ・アクセス許可信号 8 を通じて、I/O コントローラ 3 に通知する。

【0010】メモリ・アクセス許可信号 8 により許可を受けた I/O コントローラ 3 は、アドレスバス 10、データバス 9、メモリアクセス信号 13 を用いてメモリ 4 に書き込まれているコマンドを読み取る。I/O コントローラ 3 のメモリアクセス中に、プロセッサ 1 がバスアクセス要求を出力し待ち状態になっている。

【0011】

【発明が解決しようとする課題】上記従来の技術には次のような問題があった。メモリ上に I/O コントローラ 3 に対してのコマンドを書き込み、そのコマンドを I/O コントローラ 3 に読み込み動作するコンピュータシステムにおいて、I/O コントローラ 3 がメモリアクセスを行なうため、プロセッサ 1 のメモリアクセス待ち時間ができ、コンピュータシステムの性能を低下させる問題があった。

【0012】また I/O コントローラ 3 がメモリ 4 上にあるコマンドを読み込んでいた間、プロセッサ 1 はバスを使用できないという問題もあった。

【0013】本発明の目的は、メモリに対する情報読み出し回数が少なく、プロセッサのメモリアクセス待ち時間を減少させることができ、システムの性能低下を防ぐことのできるメモリ監視機能付 I/O コントローラを提供することにある。

【0014】

【課題を解決するための手段】前述の課題を解決するために、本発明によるメモリ監視機能付 I/O コントローラは、次のような特徴的な構成を備えている。

(1) コンピュータシステムに内蔵される I/O コントローラにおいて、I/O コントローラ本体に、メモリアクセス監視回路とデータ取り込み回路とを設け、前記メモリアクセス監視回路が、プロセッサによるメモリへの書き込み動作を検知したとき、前記メモリアクセス監視回路から前記データ取り込み回路へ、上記書き込み動作されるデータの取り込み要求が行なわれるようにした。

【0015】(2) 上記 (1) に記載のコントローラであって、データ取り込み要求を受けたデータ取り込み回路は、プロセッサのメモリアクセス動作中に当該データを取り込むようにした。

【0016】(3) コンピュータシステムに内蔵される I/O コントローラにおいて、プロセッサのメモリアクセス時に、前記プロセッサから出力されるメモリアクセス信号を監視し、メモリアクセス信号の送出が検出されると、取り込み要求信号を出すメモリアクセス監視回路

と、このメモリアクセス監視回路からのデータ取り込み要求を受けて、前記プロセッサのメモリアクセス動作時に同プロセッサから出力されるデータを、当該メモリアクセス動作中において取り込むデータ取り込み回路とを備え、上記データ取り込み回路内に取り込まれたデータを制御情報として用いるようにした。

【0017】(4) コンピュータシステムに内蔵される I/O コントローラにおいて、I/O コントローラ本体に、メモリアクセス監視回路とデータ取り込み回路とを設け、前記メモリアクセス監視回路が、I/O コントローラ本体へのコマンドを検知したとき、前記メモリアクセス監視回路から前記データ取り込み回路へ前記コマンドの取り込み要求が行なわれるようにした。

【0018】(5) 上記 (1) に記載のコントローラであって、コマンド取り込み要求を受けたデータ取り込み回路は、プロセッサのメモリアクセス動作中に当該コマンドを取り込むようにした。

【0019】

【発明の実施の形態】図 1 は本発明の第 1 実施形態に係るメモリ監視機能付 I/O コントローラの構成をその周辺回路と共に示すブロック図である。図 1 に示す如く、本実施形態における I/O コントローラ 3 は、I/O コントローラ本体にデータ取り込み回路 16 とメモリアクセス監視回路 14 とを備えている。

【0020】プロセッサ 1 は、ローカルバス・アクセス権要求信号 5 を通じて、競合制御回路 2 に I/O コントローラ 3 またはメモリ 4 へのアクセス権の要求を行なう。競合制御回路 2 は、任意の優先順位に従って競合制御を行ない、ローカルバス・アクセス許可信号 6 を通じて、I/O コントローラ 3 またはメモリ 4 へのアクセス許可、非許可を通知する。

【0021】プロセッサ 1 が、ローカルバス・アクセス許可信号 6 を通じて、I/O コントローラ 3 またはメモリ 4 へのアクセス許可の通知を受けると、I/O アクセスの場合はデータ・バス 9、アドレス・バス 10、I/O ライト信号 11 を通じて、I/O コントローラ 3 にデータを書き込む。またメモリアクセスの場合は、データ・バス 9、アドレス・バス 10、メモリアクセス信号 12 を通じて、メモリ 4 にデータを書き込む。

【0022】プロセッサ 1 のメモリアクセス時に、I/O コントローラ 3 の内部のメモリアクセス監視回路 14 は、アドレス・バス 10、メモリアクセス信号 12 を監視している。そして I/O コントローラ 3 のコマンドが書き込まれる領域のメモリ空間へのメモリアクセスが行なわれるものと判断すると、取り込み要求信号 15 を通じてデータ取り込み回路 16 にデータ取り込み要求を出す。データ取り込み要求を受けたデータ取り込み回路 16 は、プロセッサ 1 のメモリアクセス動作中にそのデータを取り込む。

【0023】I/O コントローラ 3 は、メモリ・アクセ

ス権要求信号 7 を通じて、競合制御回路 2 にメモリ 4 へのアクセス権の要求を行なう。競合制御回路 2 は、任意の優先順位に従って競合制御を行ない、メモリ・アクセス許可信号 8 を通じて、メモリ 4 へのアクセス許可、非許可を通知する。

【0024】I/Oコントローラ 3 が、メモリ・アクセス許可信号 8 を通じて、メモリ 4 へのアクセス許可の通知を受けると、データ・バス 9、アドレス・バス 10、メモリリード信号 13 を通じて、メモリ 4 のデータを読みとる。

【0025】I/Oコントローラ 3 がプロセッサ 1 から起動コマンドを受けると、先ほど読みとったデータ（データ取り込み回路 16 に格納されているデータ）にしたがって I/Oコントローラ 3 は動作する。

【0026】次に図 2 のタイミングチャートを適時参照して図 1 に示す本装置の動作を説明する。「タイミング 1」の期間では、プロセッサ 1 からのローカルバス・アクセス権要求信号 5 を通じて、要求（‘L’アクティブ）が競合制御回路 2 へ伝えられ、競合制御回路 2 は任意の優先順位に従って許可（‘L’アクティブ：‘L’になった時点で許可を示す）、非許可（‘H’状態）をローカルバス・アクセス許可信号 6 を通じて、プロセッサ 1 に通知する。ローカルバス・アクセス許可信号 6 より許可を受け、プロセッサ 1 はアドレス・バス 10、データ・バス 9、メモリライト信号 12 を用いて、メモリ 4 上に、I/Oコントローラ 3 用のコマンドを書き込む。

【0027】メモリアクセス監視回路 14 が、I/Oコントローラ 3 本体へのコマンドであると判断すると、取り込み要求信号 15 を通じてデータ取り込み回路 16 へ取り込み要求（‘L’アクティブ信号）が行なわれる。データ取り込み回路 16 は、プロセッサ 1 のメモリ 4 への書き込みと同じタイミングでデータを取り込む。

【0028】「タイミング 2」の期間では、プロセッサ 1 からのローカルバス・アクセス権要求信号 5 を通じて要求（‘L’アクティブ）が競合制御回路 2 へ伝えられる。競合制御回路 2 は任意の優先順位に従って許可（‘L’アクティブ：‘L’になった時点で許可を示す）、非許可（‘H’状態）をローカルバス・アクセス許可信号 6 を通じて、プロセッサ 1 に通知する。ローカルバス・アクセス許可信号 6 より許可を受け、プロセッサ 1 は、アドレス・バス 10、データ・バス 9、I/Oライト信号 11 を用いて、I/Oコントローラ 3 に対して起動コマンドを書き込む。

【0029】「タイミング 3」の期間では、I/Oコントローラ 3 はメモリアクセスを行わず、「タイミング 1」の期間で読みとったコマンドをデータ取り込み回路 16 より読み出し、そのコマンドに従い動作する。

【0030】I/Oコントローラ 3 は、図 4 の「タイミング 3」の時のように、メモリアクセスの必要が無く、プロセッサ 1 が、バスアクセスの許可を受けメモリアクセスを行なっている。

【0031】

10 【発明の効果】以上説明したように、本発明によれば、I/Oコントローラのメモリアクセス回数が少なくて済み、プロセッサのメモリアクセス待ち時間が短縮され、コンピュータシステムの処理性能の向上がはかれるメモリ監視機能付き I/Oコントローラを提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係るメモリ監視機能付き I/Oコントローラとその周辺の回路構成を示す図である。

20 【図 2】本発明の第 1 実施形態に係るメモリ監視機能付き I/Oコントローラの動作タイミングを示す図である。

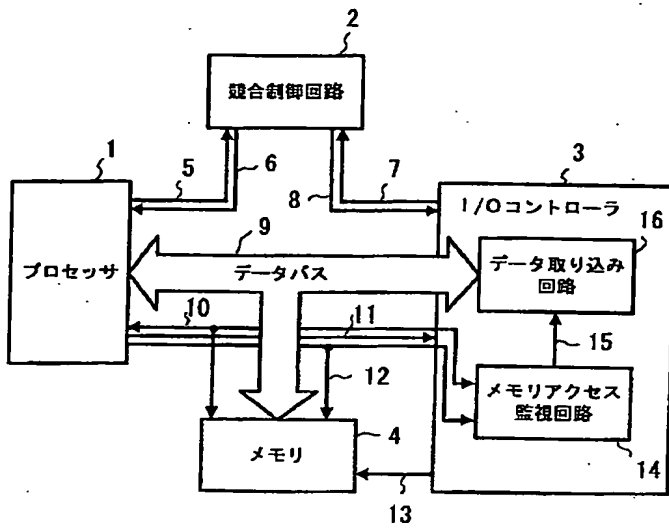
【図 3】従来例に係る I/Oコントローラとその周辺の回路構成を示す図である。

【図 4】従来例に係る I/Oコントローラの動作タイミングを示す図である。

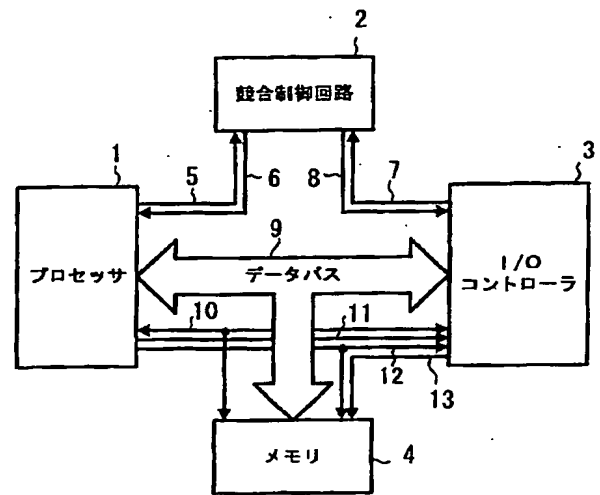
【符号の説明】

1	プロセッサ
2	競合制御回路
3	I/Oコントローラ
4	メモリ
5	ローカルバス・アクセス（LBA）権要求信号
6	ローカルバス・アクセス（LBA）許可信号
7	メモリ・アクセス（MA）権要求信号
8	メモリ・アクセス（MA）許可信号
9	データ・バス
10	アドレス・バス
11	I/Oライト信号
12	メモリライト信号
13	メモリリード信号
14	メモリアクセス監視回路
15	取り込み要求信号
16	データ取り込み回路

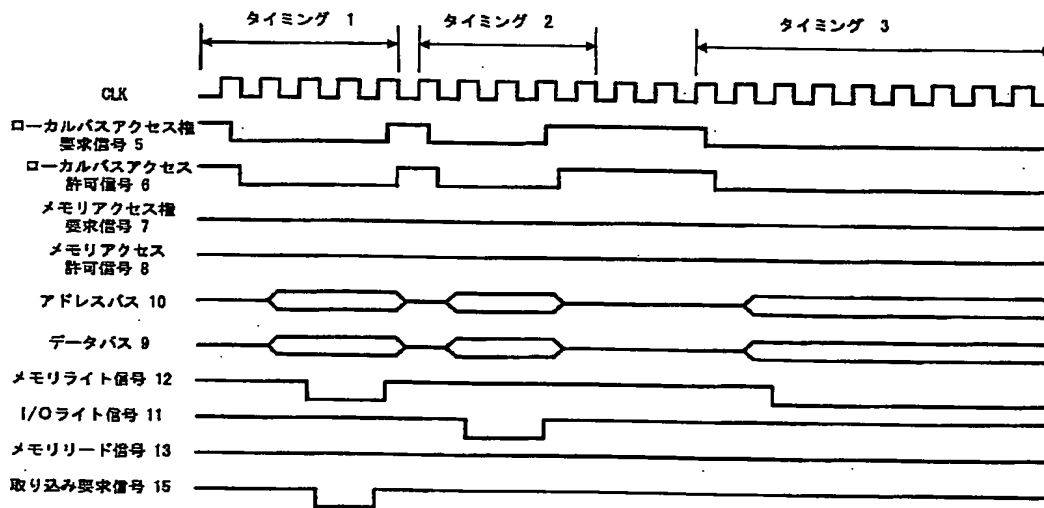
【図 1】



【図 3】



【図 2】



【図 4】

